

CLIPPEDIMAGE= JP411274483A

PAT-NO: JP411274483A

DOCUMENT-IDENTIFIER: JP 11274483 A

TITLE: FIELD-EFFECT TRANSISTOR AND ITS MANUFACTURING METHOD

PUBN-DATE: October 8, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
TSUCHIAKI, MASAKATSU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP10073881

APPL-DATE: March 23, 1998

INT-CL_(IPC): H01L029/78; H01L029/786 ; H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a field-effect transistor in which an elevated source drain part is electrically and reliably insulated from a gate electrode and a pn junction face is not unstabilized.

SOLUTION: First, a gate insulation film 15 is formed in a region where a gate electrode is formed. After a polysilicon layer is deposited on the entire face, a p-type impurity and an n-type impurity are selectively introduced into the polysilicon layer, respectively, to form an n-type polysilicon layer 17 and the p-type polysilicon layer 20. Patterning is performed to form holes 31, 32, whereby gate electrodes 16a, 19a and elevated source drain parts 23a, 26a are formed. A heat process is performed so that an impurity in the elevated source drain parts 23a, 26a is led into a p-type substrate and an n-type well, thereby to form an n-type diffusion layer 22 and the p-type diffusion layer 25.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-274483

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl.*

H 01 L 29/78
29/786
21/336

識別記号

F I

H 01 L 29/78

301X
616T
616L

616T
616L

審査請求 未請求 請求項の数7 O L (全9頁)

(21)出願番号 特願平10-73881

(22)出願日 平成10年(1998)3月23日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 土明 正勝

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

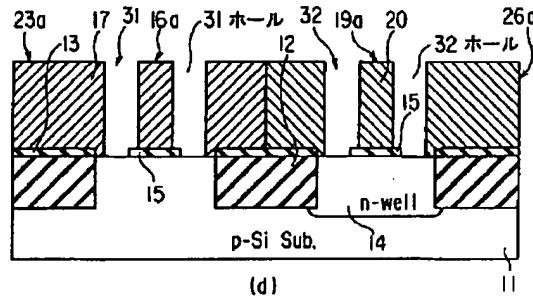
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 電界効果トランジスタ及びその製造方法

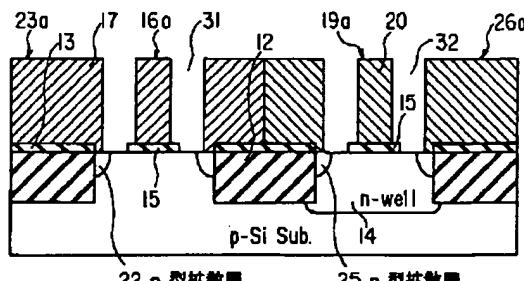
(57)【要約】

【課題】エレベティッド・ソース・ドレイン部とゲート電極との電気的絶縁が確実になされ、p-n接合面が不定になることがない電界効果トランジスタ。

【解決手段】先ず、ゲート電極が形成される領域にゲート絶縁膜15を形成する。そして、全面にポリシリコン層を堆積した後、p型不純物とn型不純物とをそれぞれ選択的にポリシリコン層に導入し、n型ポリシリコン層17とp型ポリシリコン層20とを形成する。そして、パターニングを行いホール31、32の形成により、ゲート電極16a、19aとエレベティッド・ソース・ドレイン部23a、26aとを形成する。そして、熱処理を行い、エレベティッド・ソース・ドレイン部23a、26a内の不純物をp型基板及びn型ウェルに導入し、n型拡散層22及びp型拡散層25を形成する。



(d)



(e)

【特許請求の範囲】

【請求項1】素子分離領域で絶縁分離された半導体基板の素子領域にソース・ドレイン部及びゲート電極が形成され、前記ソース・ドレインに電気的に接続し前記半導体基板の表面上に形成されたエレベイティッド・ソース・ドレイン部を有する電界効果トランジスタであって、前記エレベイティッド・ソース・ドレイン部は、前記素子分離領域上にも形成され、且つゲート電極及び前記エレベイティッド・ソース・ドレイン部の表面は同一平面にあることを特徴とする電界効果トランジスタ。

【請求項2】前記素子分離領域は、半導体基板に形成された溝に絶縁膜が埋め込み形成されてなる領域であることを特徴とする請求項1に記載の電界効果トランジスタ。

【請求項3】前記エレベイティッド・ソース・ドレイン部に接続するコンタクト電極は、前記素子分離領域上のみに形成されていることを特徴とする請求項1に記載の電界効果トランジスタ。

【請求項4】半導体基板の主表面に形成された素子領域を囲む素子分離領域と、前記素子領域のうち、後に形成するエレベイティッド・ソース・ドレイン部と前記半導体基板との接続領域を除いた領域にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜及び前記素子分離領域を覆う電極材を形成する工程と、前記電極材をバーニングして前記ゲート絶縁膜上にゲート電極を形成すると同時に、前記半導体基板と接するエレベイティッド・ソース・ドレイン部を形成する工程と、前記ゲート電極に隣接するとともに前記エレベイティッド・ソース・ドレイン部と電気的に接続するソース・ドレイン領域を前記半導体基板の主表面に形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【請求項5】前記電極材として、不純物が導入されたシリコン層を用い、前記エレベイティッド・ソース・ドレイン部から前記半導体基板の主表面に前記不純物を拡散させることにより、前記ソース・ドレイン領域を形成することを特徴とする請求項4に記載の電界効果トランジスタの製造方法。

【請求項6】前記電極材のうちp型の前記電界効果トランジスタ形成予定領域にp型不純物領域を形成し、前記電極材のうちn型の前記電界効果トランジスタの形成予定領域にn型不純物領域を形成する工程と、前記バーニング後に前記エレベイティッド・ソース・ドレイン部から前記半導体基板表面に前記不純物を拡散させることにより、前記p型の電界効果トランジスタ形成予定領域の前記半導体基板表面にはp型の前記ソース・ドレイン領域の少なくとも一部を、前記n型の電界効果トランジスタ形成予定領域の前記半導体基板表面にはn

型の前記ソース・ドレイン領域の少なくとも一部を形成することを特徴とする請求項4に記載の電界効果トランジスタの製造方法。

【請求項7】前記半導体基板表面に、前記ゲート電極に隣接するとともに前記エレベイティッド・ソース・ドレイン部と電気的に接続するソース・ドレイン領域を形成する工程は、

前記電極材をバーニングすることにより形成された前記ゲート電極と前記エレベイティッド・ソース・ドレイン部との間の開口に不純物を含有する絶縁膜を形成して、この絶縁膜から前記不純物を前記半導体基板表面に拡散させる工程を含むことを特徴とする請求項4に記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、エレベイティッド・ソース・ドレイン構造を有する電界効果トランジスタに関する。

【0002】

【従来の技術】高速高機能半導体装置の実現のため、これに用いられる個々の半導体素子の微細化、及びその大規模集積化に対する要求は時を追って増大している。しかし、これらの半導体素子の主要な構成要素であるMOSFETの微細化を考えた場合、これには様々な困難が伴う。

【0003】例えば、MOSFETのチャネル長の縮小に伴い、しきい値電圧が下降する、いわゆる短チャネル効果が発生するという問題がある。半導体回路の設計時に意図したしきい値電圧と異なった素子が形成されると、設計の意図とは異なる素子動作を引き起こし回路全体の機能を損なわせる。

【0004】この様な短チャネル効果は、MOSFETのソース・ドレイン部での電界の歪みが、チャネル部分にまで影響を与える事に起因している。この影響は、ソース・ドレインと半導体基板の界面のpn接合の接合位置を半導体表面に近づける（即ちpn接合を“浅くする”）事で回避出来る。

【0005】しかし、単にpn接合を浅くすると、ソース・ドレイン部の抵抗が増大し、素子を伝わる信号の高速伝達を阻害する。さらに、ソース・ドレイン部上に電気的接触を得るためのコンタクトを設けた場合、コンタクトを構成する金属性物質が下方に拡散して接合を突き抜け、接合リードを誘起する恐れが出てくる。また、ソース・ドレイン電極の低抵抗化のために、ソース・ドレイン領域の上部を一部、金属との合金（シリサイド）で形成することも可能だが、金属原子がソース・ドレイン中に拡散し、接合部分に到達しやすい。

【0006】この様な問題に対処するため、従来、ソース・ドレイン部を形成しようとするシリコン基板表面部50分に選択的に半導体物質を追加形成し、表面をシリコン

基板の表面より上方に移動させ、この追加形成された表面を通じてソース・ドレインのp n接合を形成する、いわゆるエレベイテッド・ソース・ドレイン構造が提案されている。エレベイテッド・ソース・ドレイン構造は、接合の位置は本来の半導体基板の表面に対しては浅くしつつ、ソース・ドレイン部の厚みを確保することができる。

【0007】しかしながら、エレベイテッド・ソース・ドレイン構造を用いた場合、露出するシリコン基板上にシリコン層を選択成長させるための特殊な工程を加えなければならず、製造コストの増加を招く。さらに、シリコン層を選択的に成長する際、シリコン層の成長がシリコン層の上のみで起こるよう選択性を確保する必要が生じるが、必要な選択性が得られない、または予期せぬ成長核が形成されてしまうなどという事体が発生し、ソース・ドレイン部とゲート電極が電気的に短絡してしまうという問題がある。

【0008】また、シリコン層の選択成長は、選択成長を行う表面状態に非常に敏感である。例えば、成膜されるシリコンの膜厚は、その下方にある基板表面の粗さや結晶構造によって変わって来る。また、その膜質（欠陥の有無）も表面の形状により異なって来る可能性がある。例えば、成長直前の基板表面の自然酸化膜や、ゲート電極加工時に導入されるダメージなどによって、ソース・ドレイン領域上に成膜されるシリコン層の厚さ、及び、その膜質は素子ごとに異なって来る場合がある。

【0009】選択成長されたシリコン層の膜厚が不均一であると、p n接合の接合部分を所定位置に形成することが極めて困難となる。なぜなら、ソース・ドレインを形成するべき不純物は、選択形成されたシリコン表面より導入されるため、接合はこの表面から一定の位置に形成される。ところが、これに対し、膜厚が不均一であると、シリコン基板の表面の追加形成されたシリコン表面よりの相対位置は不定となる。従って、接合面を形成すべき位置も不定となってしまうからである。

【0010】

【発明が解決しようとする課題】上述したように、従来のシリコンの選択成長を用いたエレベイテッド・ソース・ドレイン構造においては、特殊な工程を用いるために製造コストの増大を招くという問題があった。

【0011】また、シリコンが選択的に成長せず、ソース・ドレイン部とゲート電極とが電気的に接続するという問題があった。また、選択成長で形成されたシリコンの膜厚及び膜質は、素子に応じて異なり、p n接合面が不定になるという問題があった。

【0012】本発明の目的は、製造コストの増大を招くことがなく、エレベイテッド・ソース・ドレイン部とゲート電極との電気的絶縁が確実になされ、p n接合面が不定になることがない電界効果トランジスタ及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】【構成】本発明は、上記目的を達成するために以下のように構成されている。

(1) 本発明（請求項1）の電界効果トランジスタは、素子分離領域で絶縁分離された半導体基板の素子領域にソース・ドレイン部及びゲート電極が形成され、前記ソース・ドレインに電気的に接続し前記半導体基板の表面上に形成されたエレベイテッド・ソース・ドレイン部を有する電界効果トランジスタであって、前記エレベイテッド・ソース・ドレイン部は、前記素子分離領域上にも形成され、且つゲート電極及び前記エレベイテッド・ソース・ドレイン部の表面は同一平面にあることを特徴とする。

【0014】本発明の好ましい実施態様を以下に示す。前記素子分離領域は、半導体基板に形成された溝に絶縁膜が埋め込み形成されてなる領域である。

【0015】前記エレベイテッド・ソース・ドレインに接続するコンタクト電極は、前記素子分離領域上ののみに形成されている。エレベイテッド・ソース・ドレイン部の表面にシリサイドを形成する。

【0016】エレベイテッド・ソース・ドレイン部が複数の電界効果トランジスタを接続する。

(2) 本発明（請求項4）の電界効果トランジスタの製造方法は、半導体基板の主表面に形成された素子領域を囲む素子分離領域と、前記素子領域のうち、後に形成するエレベイテッド・ソース・ドレイン部と前記半導体基板との接続領域を除いた領域にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜及び前記素子分離領域を覆う電極材を形成する工程と、前記電極材をバーニングして前記ゲート絶縁膜上にゲート電極を形成すると同時に、前記半導体基板と接するエレベイテッド・ソース・ドレイン部を形成する工程と、前記ゲート電極に隣接するとともに前記エレベイテッド・ソース・ドレイン部と電気的に接続するソース・ドレイン領域を前記半導体基板の主表面に形成する工程とを含むことを特段とする。

【0017】本発明の好ましい実施態様を以下に示す。前記電極材として、不純物が導入されたシリコン層を用い、前記エレベイテッド・ソース・ドレイン部から前記半導体基板の主表面に前記不純物を拡散させることにより、前記ソース・ドレイン領域を形成する。

【0018】前記電極材のうちp型の前記電界効果トランジスタ形成予定領域にp型不純物領域を形成し、前記電極材のうちn型の前記電界効果トランジスタの形成予定領域にn型不純物領域を形成する工程と、前記バーニング後に前記エレベイテッド・ソース・ドレイン部から前記半導体基板表面に前記不純物を拡散させることにより、前記p型の電界効果トランジスタ形成予定領域の前記半導体基板表面にはp型の前記ソース・ドレイン領域の少なくとも一部を、前記n型の電界効果トランジスタ形成予定領域の前記半導体基板表面にはn型の前記ソ

50

ース・ドレイン領域の少なくとも一部を形成することを特徴とする。

【0019】前記半導体基板表面に、前記ゲート電極に隣接するとともに前記エレベイティッド・ソース・ドレイン部と電気的に接続するソース・ドレイン領域を形成する工程は、前記電極材をバーニングすることにより形成された前記ゲート電極と前記エレベイティッド・ソース・ドレイン部との間の開口に不純物を含有する絶縁膜を形成して、この絶縁膜から前記不純物を前記半導体基板表面に拡散させる工程を含む。

【0020】前記バーニングで形成されたホールを埋め込むように絶縁膜を形成する工程と、前記エレベイティッド・ソース・ドレイン部及びゲート電極をストップとして前記絶縁膜の平坦化を行いゲート側壁絶縁膜を形成する。

【0021】【作用】本発明は、上記構成によって以下の作用・効果を有する。ゲート電極が形成される領域にゲート絶縁膜の形成、電極材の堆積、さらに前記電極材のバーニングを行うことによって、ゲート電極及びエレベイティッド・ソース・ドレイン部を同時に形成することができる。エピタキシャル成長技法による選択成長のような新たな工程が不要なので、製造コストを削減することができる。

【0022】また、エレベイティッド・ソース・ドレイン部とゲート電極とを同じ電極材をバーニングすることによって形成するので、エレベイティッド・ソース・ドレイン部とゲート電極との電気的絶縁を確実にすることができます。

【0023】また、エレベイティッド・ソース・ドレイン部から、半導体基板への不純物の拡散は、ゲート電極側部近傍に形成され浅い位置にpn接合を有するソース・ドレイン部の形成に先立って行う事ができる。従って、エレベイティッド・ソース・ドレイン部の活性化、拡散工程を、ソース・ドレイン部の活性化、拡散工程に制約をうけることなく行える。このため目途の深さの接合を、ソース・ドレイン部の接合深さを増大させることなく自由に達成することができる。

【0024】短チャネル効果を抑制するために重要な、ゲート電極側部近傍のソース・ドレイン部は、エレベイティッド・ソース・ドレイン部の形成後に、ゲート電極とエレベイティッド・ソース・ドレイン部との間隙に露出する半導体基板に、イオン注入などによる不純物の導入によりおこなえる。よって、ソース・ドレイン部の活性化、拡散工程を、エレベイティッド・ソース・ドレイン部の活性化、拡散工程に制約をうけることなく行える。このため、浅い接合のソース・ドレイン部の形成が容易になる。

【0025】予め、ゲート電極を形成すべき領域にゲート絶縁膜を形成するためには、絶縁膜形成後これを当該部分以外、除去する等の処理を施せばよいが、この時、

ゲート電極とエレベイティッド・ソース・ドレイン部との間隙に対応する領域に、ゲート絶縁膜の端が入っていればよい。ゲート電極からはみ出した絶縁膜は、ゲート電極及びエレベイティッド・ソース・ドレイン部の形成後に容易に除去できるからである。よって、ゲート絶縁膜をあらかじめ形成するにあたって必要なリソグラフィ工程の合わせ精度は、半導体基板に形成されるソース・ドレイン部の幅程度となり、容易に実現することができる。

【0026】ソース・ドレイン部の幅は、バーニング工程時に形成されたゲート電極とエレベイティッド・ソース・ドレイン部との間隙により、任意に設定できる。よって、ソース・ドレイン部形成のためのゲート側壁形成工程を省略できる。このため、製造コストを削減できる。

【0027】全面に堆積したシリコン層から、ゲート電極及びエレベイティッド・ソース・ドレイン部を形成しているので、これらの高さは一様である。よって、この後、層間絶縁膜の形成、配線の形成工程にわたって、表面の平坦化が非常に容易になる。

【0028】全面に堆積したシリコン層から、ゲート電極及びエレベイティッド・ソース・ドレイン部をバーニングにより形成しているので、エレベイティッド・ソース・ドレイン部は必ずしも、エピタキシャル成長技法による選択成長の場合の様に、半導体基板上に制限される物ではない。エレベイティッド・ソース・ドレイン部は素子分離絶縁膜上に任意に設置できる。このため、半導体基板上のエレベイティッド・ソース・ドレイン部は最小限の面積にとどめ、大部分を素子分離絶縁膜上に乗り上げさせる事により、エレベイティッド・ソース・ドレイン部と半導体基板の容量を低減することが可能になる。このため、素子の高速動作が可能となる。

【0029】エレベイティッド・ソース・ドレイン部は、素子分離絶縁領域上に任意に設置できるので、このエレベイティッド・ソース・ドレイン部は、一つの素子に必ずしも対応している必要はなく、複数の素子のソース・ドレイン部を連結するものであってもよい。これによって、近接する電界効果トランジスタのソース・ドレインを接続する局所的素子間配線が、シリコン層により同時に形成できる。よって、新たな局所的素子間配線工程が必要なくなり、製造コストを削減できる。

【0030】ゲート電極及びエレベイティッド・ソース・ドレイン部の表面が平坦になっているので、後の工程で上層に形成される構造の形成が容易になる。素子分離領域として、半導体基板所に形成された溝に絶縁膜が埋め込み形成された領域を用いることによって、後の平坦化工程が容易になる。

【0031】また、ソース・ドレインを低抵抗化するために、エレベイティッド・ソース・ドレイン部の表面層を金属と化合（シリサイド化）させても、エレベイティッド・ソース・ドレイン部の多くの領域は素子分離領域上に

形成されているので、金属原子が基板中のソース・ドレイン部中を拡散しにくい。従って、金属原子がp-n接合部に到達しにくいので、接合のリークが防止できる。

【0032】コンタクトホールを素子分離領域上のみに形成することによって、配線を構成する金属性物質が下方に拡散してp-n接合を突き抜け、接合リークを誘起する恐れがなくなる。

【0033】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【第1実施形態】図1は、本発明の第1実施形態に係る電界効果トランジスタの構成を示す断面図である。

【0034】p型シリコン基板11に、二つの素子領域を分離するSTI(Shallow Trench Isolation: 素子分離領域)12が形成されている。STI12上にシリコン塗化膜13が形成されている。そして、STI12に囲まれた一方のSi基板11の素子領域にn型ウェル14が形成されている。

【0035】露出するp型Si基板11上に、シリコン塗化膜からなるゲート絶縁膜15を介して、ゲート電極16が形成されている。ゲート電極16は、n型シリコン層17とシリサイド18とが積層されて構成されている。

【0036】また、n型シリコンウェル14上に、ゲート絶縁膜15を介してゲート電極19が形成されている。ゲート電極19は、p型ポリシリコン層20とシリサイド18とが積層されて構成されている。

【0037】p型Si基板11の表面にゲート電極16を挟んでソース・ドレイン部21が形成されている。そして、p型Si基板11の表面にソース・ドレイン部21を挟んでn型拡散層22が形成されている。n型拡散層22、並びにn型拡散層22に隣接するシリコン塗化膜13上に、n型ポリシリコン層17とシリサイド18とが積層されたエレベイティッド・ソース・ドレイン部23が形成されている。

【0038】また、n型ウェル14の表面にゲート電極19を挟んでソース・ドレイン部24が形成されている。そして、n型ウェル14の表面にソース・ドレイン部24を挟んでp型拡散層25が形成されている。また、p型拡散層25、並びにp型拡散層25に隣接するシリコン塗化膜13上に、p型ポリシリコン層20とシリサイド18とが積層されたエレベイティッド・ソース・ドレイン部26が形成されている。なお、ゲート電極16、19に挟まれたSTI12上では、n型シリコン層17とp型シリコン層20とが接して形成されている。

【0039】ソース・ドレイン部21及びn型拡散層22上、且つゲート電極16の側部に側壁絶縁膜27が形成されている。また、ソース・ドレイン部24及びp型拡散層25上、且つゲート電極19の側部にも同様に側壁絶縁膜27が形成されている。なお、シリサイド18

及び側壁絶縁膜27及びゲート電極16、19の表面は一様になっている。

【0040】そして、エレベイティッド・ソース・ドレイン部23、26に接続するコンタクトホールが形成された層間絶縁膜が28全面に形成されている。該コンタクトホール内及び層間絶縁膜上28には、配線29が形成されている。

【0041】次に、この電界効果トランジスタの製造工程を図2～3の工程断面図を用いて説明する。先ず、図2(a)に示すように、リソグラフィ工程及びRIE工程を組み合わせて、Si基板の表面に溝を形成する。そして、溝を埋めるようにCVD法等を用いてシリコン酸化膜を堆積した後、CMP法を用いて表面を平坦化してSTIを12形成する。そして、露出する一方のp型シリコン基板11の表面に、選択的にイオン注入及び熱処理を加えて、n型ウェル14を形成する。そして、熱窒化、あるいはJVD(Jet Vapor Deposition)法等を用いて全面にシリコン塗化膜13を堆積する。

【0042】次いで、図2(b)に示すように、リソグラフィ技術を用いて後にゲート電極が形成される領域及びSTI上に選択的に10nm程度のシリコン酸化膜(不図示)を形成した後、加熱されたたりん酸(H₃PO₄)溶液を用いて、露出するシリコン塗化膜13を除去し、p型Si基板11及びn型ウェル14を一部露出させると共に、ゲート絶縁膜15を形成する。そして、シリコン酸化膜をHF溶液にさらして除去する。

【0043】ゲート絶縁膜15の端は、後に形成されるゲート電極とエレベイティッド・ソース・ドレイン部との間隙に対応する領域に入っていればよい。ゲート電極からはみ出したゲート絶縁膜15は、ゲート電極及び、エレベイティッド・ソース・ドレイン部形成後に容易に除去できるからである。よって、ゲート絶縁膜をあらかじめ形成するにあたって必要なリソグラフィ工程のあわせ精度は、ソース・ドレイン部の幅程度となり、容易に実現することができる。

【0044】次いで、図2(c)に示すように、CVD法等を用いて、ポリシリコンを例えば200nm堆積した後、リソグラフィ法を用いて形成されたフォトレジストをマスクにして、n型不純物並びにp型不純物をそれぞれ選択的にポリシリコンにイオン注入し、n型ポリシリコン層17及びp型シリコン層20を形成する。

【0045】次いで、図3(d)に示すように、n型ポリシリコン領域17及びp型ポリシリコン領域20にホール31、32を形成し、ゲート絶縁膜15とシリコン塗化膜14とに挟まれたSi基板11及びn型シリコン領域を露出させ、ゲート電極16a、19a及びエレベイティッド・ソース・ドレイン部23a、26aを形成する。

【0046】ゲート電極16a、19a及びエレベイティッド・ソース・ドレイン部23a、26aを構成するボ

シリコン層の形成にCVD法を用いている。従って、エレベイティッド・ソース・ドレイン部を形成するためには、従来のようなエピタキシャル成長技法に求められる選択性が必要なくなる。このため、均一で等膜厚のエレベイティッド・ソース・ドレイン部を形成することが容易となり、エピタキシャル成長技法に見られる膜厚のばらつきがなくなる。これにより、ソース・ドレイン部への不純物導入を、追加形成されたシリコン表面より導入し接合を形成する場合に比べて、目途の位置に精度よく接合を形成できる。

【0047】また、この時、ゲート絶縁膜15の端は、ホール31, 32内の領域に入っていればよい。よって、必要なりソグラフィ工程のあわせ精度は、後に形成されるソース・ドレイン部の幅、例えば100nm程度となり、容易に実現できる。エレベイティッド・ソース・ドレイン部23a, 26aは、STI12上に伸びておらず、エレベイティッド・ソース・ドレイン部23a, 26aと半導体基板の容量を低減していることに注目すべきである。さらに、ゲート電極16aとゲート電極19aとの間のエレベイティッド・ソース・ドレイン部23a, 26aは、p型Si基板11とn型ウェル14とを連結している。これによって、単なる、エレベイティッド・ソース・ドレイン部の追加形成にとどまらず、局所的素子間配線が、このシリコン層により同時に形成できる。よって、新たな局所的素子間配線工程が必要なくなり、製造コストを削減できる。

【0048】次いで、図3(e)に示すように、熱処理を行い、n型ポリシリコン層17とp型Si基板11、p型ポリシリコン層20とn型シリコン領域14とが接触している部分から、シリコン層17, 20内に導入されている不純物をp型Si基板11又はn型領域14に拡散させ、n型拡散層22及びp型拡散層25を形成すると同時に、n型シリコン層17及びp型シリコン層20中の不純物を活性化する。

【0049】この時、拡散工程を、後に形成されるソース・ドレイン部の活性化、拡散工程に制約をうけることなく行える。このため目途の深さの拡散層を、ソース・ドレイン部の接合深さを増大させることなく自由に達成できる事に注目すべきである。

【0050】また、場合によっては、この拡散層をソース・ドレイン部そのものとして使用することもできる。次いで、図4(f)に示すように、ホール31, 32内に露出するゲート絶縁膜15を加熱されたりん酸(H₃PO₄)溶液を用いて除去する。そして、ホール32内に選択的にフォトレジスト(不図示)を埋め込んだ後、n型ポリシリコン層17, p型ポリシリコン層20及びフォトレジストをマスクに、n型不純物をイオン注入し、ソース・ドレイン部21を形成する。そして、ホール32内のレジストを除去して、ホール31内にフォトレジストを埋め込んだ後、n型ポリシリコン層17, p

型ポリシリコン層20及びフォトレジストをマスクに、p型不純物をイオン注入し、ソース・ドレイン部24を形成する。さらに、これに急速昇温熱処理を施して、ソース・ドレイン部21, 24中の不純物を活性化する。

【0051】n型及びp型拡散層22, 25はすでに形成されているので、この部分の活性化、拡散工程に制約をうけることなく浅いソース・ドレイン部21, 24が形成できることに注目すべきである。浅いソース・ドレイン部21, 24の形成には、イオン注入技術の他、plasma immersion doping、Gas immersion laser doping、不純物を含む物質からの固相拡散など、公知の技術の効果的な方法により達成できることは言うまでもない。特に不純物を含む物質からの固相拡散の場合、前記不純物を含む物質としては、後述するゲート側壁絶縁膜に不純物を添加したものを用いることができる。

【0052】次いで、図4(g)に示すように、CVD法等を用いてシリコン酸化膜を200nm堆積した後、ゲート電極16a, 19a及びエレベイティッド・ソース・ドレイン部23a, 26aをストップにしてCMP法を用いて表面を平坦化して、ホール31, 32内にシリコン酸化膜を埋め込み形成し、ゲート側壁絶縁膜27を形成する。

【0053】この時、ゲート電極16a, 19a及びエレベイティッド・ソース・ドレイン部23a, 26aの電極の高さは一様である。よって、表面の平坦化が非常に容易になる事に注目すべきである。

【0054】次いで、図5(h)に示すように、シリコンと選択的に反応する金属、例えばCoを全面にスパッタ法により堆積させた後、例えば窒素雰囲気中で500°Cの急速熱処理(RTA)を施す事により、Coとn型ポリシリコン層17及びp型ポリシリコン層20との合金を形成し、シリサイド18を形成する。そして、未反応のCoをHNO₃等の溶液で処理し除去することにより、シリサイド18をゲート電極16a, 19a及びエレベイティッド・ソース・ドレイン部23a, 26a上に自己整合的に形成する。

【0055】この工程で、n型シリコン層17とシリサイド18とからなるエレベイティッド・ソース・ドレイン部23及びゲート電極16、並びにp型シリコン層20とシリサイド18とからなるエレベイティッド・ソース・ドレイン部26及びゲート電極19が形成される。

【0056】エレベイティッド・ソース・ドレイン部の表面上をシリサイド化させているので、金属原子がソース・ドレイン中を拡散し、接合部分に到達しにくい。このため、接合のリークが防止できる。また、ゲート電極16とゲート電極19との間のn型ポリシリコン層17, p型ポリシリコン層20及びシリサイド18は局所的素子間配線形成している。

【0057】次いで、図5(i)に示すように、例え

11

ば、CVD法により、低誘電率の絶縁膜堆積して層間絶縁膜28を形成する。そして、層間絶縁膜28にエレベイティッド・ソース・ドレイン部23, 26に接続するコンタクトホールを形成し、さらに、A1等の配線材を堆積して必要な形状にRIE法などをもちいて配線29を形成する。

【0058】コンタクトホールを素子分離絶縁膜上のエレベイティッド・ソース・ドレイン部に開ける事により、コンタクトを構成する金属性物質が下方に拡散し接合を突き抜け、接合リーカを誘起する事はない。これに引き続き、公知の技術を用いて、配線工程、実装工程などを経て、半導体装置を完成させる。

【0059】なお、本発明は、上記実施形態に限定されるものではない。例えば、半導体基板としてSOI基板を用いることも可能である。その他、本願発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0060】

【発明の効果】以上説明したように本発明によれば、ゲート絶縁膜の形成、全面への電極材の堆積、前記電極材のパターニングによるゲート電極及びエレベイティッド・ソース・ドレイン部の同時形成を行うことによって、製造コストの増大を招くことがない。また、エレベイティッド・ソース・ドレイン部とゲート電極との電気的絶縁が確実になされ、p-n接面が不定になることがない。

【図面の簡単な説明】

【図1】本発明の一実施形態に係わる半導体装置の構成を示す断面図。

12

【図2】図1の半導体装置の製造工程を示す工程断面図。

【図3】図1の半導体装置の製造工程を示す工程断面図。

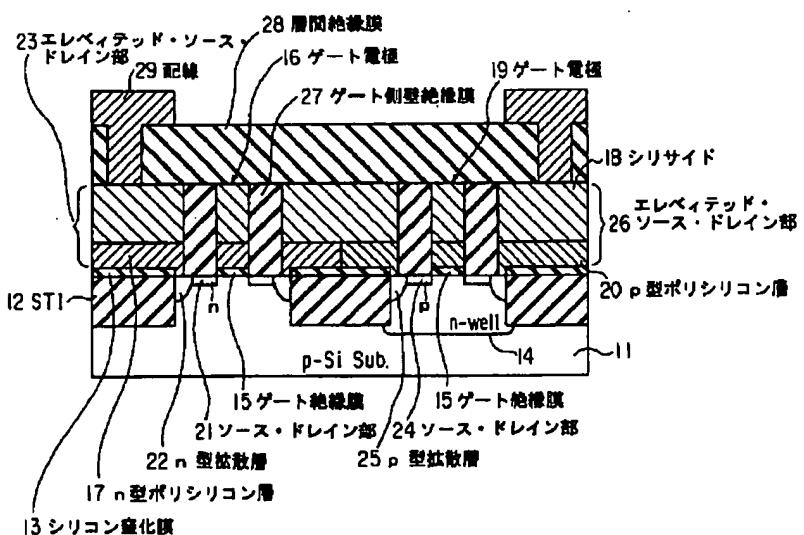
【図4】図1の半導体装置の製造工程を示す工程断面図。

【図5】図1の半導体装置の製造工程を示す工程断面図。

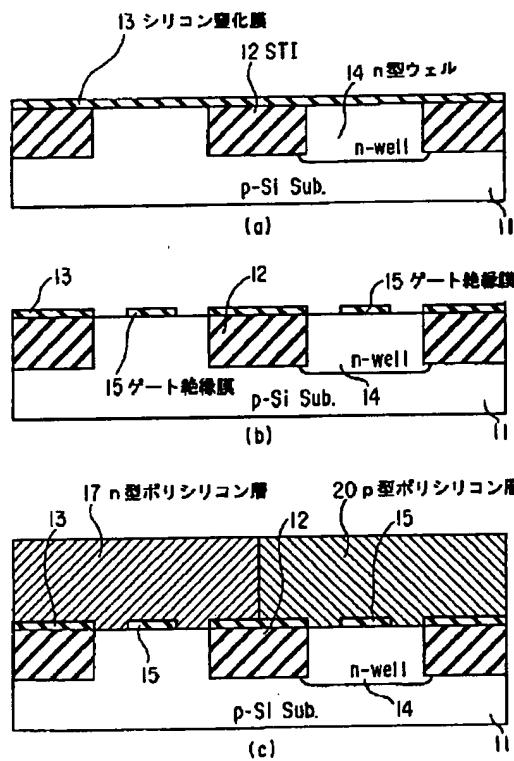
【符号の説明】

10	11…p型シリコン基板
	12…STI
	13…シリコン塗化膜
	14…n型シリコンウェル
	15…ゲート絶縁膜
	16…ゲート電極
	17…n型シリコン層
	18…シリサイド
	19…ゲート電極
20	20…p型シリコン層
	21…n型拡散層
	22…n ⁺ 型拡散層
	23…エレベイティッド・ソース・ドレイン部
	24…p型拡散層
	25…p ⁺ 型拡散層
	26…エレベイティッド・ソース・ドレイン部
	27…ゲート側壁絶縁膜
	28…層間絶縁膜
	29…配線

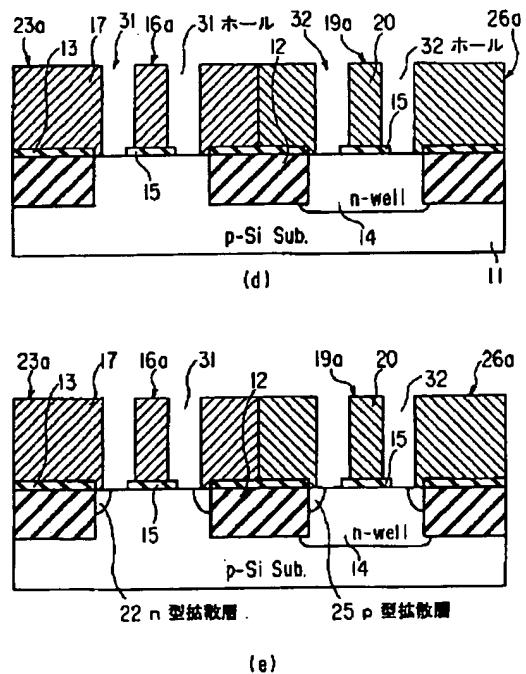
【図1】



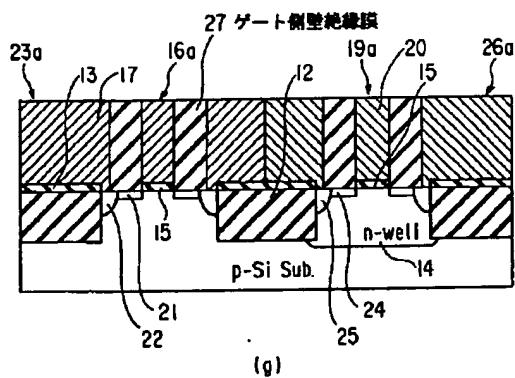
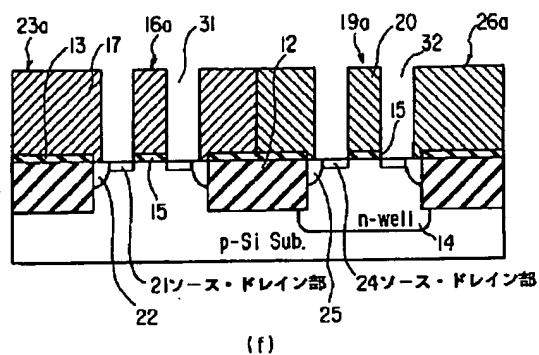
【図2】



【図3】



【図4】



【図5】

